



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR: Hiroji KAWAI

ATTORNEY DOCKET NO.: 09792909-4785

SERIAL NO.: 09/768,912 GROUP ART UNIT: 2881

FILED: January 24, 2001 EXAMINER: J. MENEFFEE

TITLE: "NITRIDE III-V COMPOUND SEMICONDUCTOR DEVICE" (*as amended*)

EXHIBIT B
AN ENGLISH TRANSLATION OF
A PRE-JUNE 16, 1997 INVENTION REPORT

INVENTION REPORT

SONY ®

A duplicate of this report is
to be sent to Patent Center.

To: Legal and Intellectual Property Department
Headquarters/Patent Center

The Invention Evaluation Check Sheet (standard format
is attached to the back surface) is also to be filled.

Made on [REDACTED]

INVENTION

Presented Date: [REDACTED]

Title of the Invention:

Semiconductor Device and its Manufacturing Method
(Forming GaN FET Via Holes)

Summary of the Invention: (within 140 characters)

In a GaN FET/sapphire substrate, a method for thinning
a substrate and a method for forming a via hole are provided.
A high frequency and a high output power characteristic of
a device can be improved.

The Inventor means a person who substantially
contributes to invention. If a person who is not an employee

of this company is a joint inventor or if the invention is to be jointly applied with another company, the details thereof are to be written correctly. In the case of joint-application, a written request for examination of joint-application is to be necessarily appended.

TEC/Plant Name

Names of Department and Section to Which the Inventor Belongs

Material Department, Nitride Material Group

(outside line number) 353-6866

(extension number) 9423-4361

Employee's Number

092567

Grade

Name

Romaji

First Inventor

河合

弘治

○

Hiroshi
KAWAI

Person Who Writes This Report is to be Marked by ○

Name of Project:

Production Number:

Development State

- ☐ Stage of Idea
- ☐ Stage of Development/Trial
- ☒ State of Product Planning

Name of Kind of Device:

To be published

☐ published ☐ not published

Property Department, [REDACTED], Ikeda)

Procedure (see the back surface of this paper)

☒ to be treated preferentially (S)

☐ to be treated normally (R)

☐ to be in charge of patent center (Q)

(open to the public in Journal of Technical
Disclosure/Application)

Request for Foreign Application

☐ requested ☐ not requested ☒ uncertain

☐ much possibility of overseas execution by another company

☐ much possibility of overseas selling (including
accessory)

☐ much possibility of overseas production

☐ useful for overseas manufacturing license

☐ others ()

Chief Manager

Person in Charge of Patent

Patent Leader: stamped (Central Laboratory, Information
Center, [REDACTED], Arai (Kuni))

Blank for Opinion Please make an early application.

1996PJ-0109

PATENT CENTER

Team in Charge

Person in Charge stamped (Intellectual Property Department,
Material and Semiconductor Section, [REDACTED], Ando)

Entry (1 2 3 4)

Inventive Step (1 2 3 4)

Procedure

- ☐ to be treated preferentially
- ☐ to be treated normally
- ☐ to be opened to the public in Journal of Technical

Disclosure

- ☐ to be canceled Application

Preparation for Foreign Application

- ☐ prepared ☐ not prepared

Receipt No [REDACTED]

Received by stamped (Intellectual Property Department, [REDACTED]
[REDACTED], Matsuda)

Memo by Patent Center

-
- ☐ For Patent Center ☐ For Office ☐ For Inventors
 - ☐ For OD Registration

Title of the Invention:

Semiconductor Device and its Manufacturing Method

A Method for Thinning a Substrate of GaN FET and a Method
for Forming Via Holes

What is Claimed is:

In a GaN semiconductor device formed on a different
kind of single-crystal substrate,

1. After lapping is performed to the thickness not larger than around 100 μm in a solution containing diamond abrasive grains reducing the grain size in plural steps, lapping strain is removed by etching by using phosphoric acid or phosphoric acid/sulfuric acid solution.
2. A protective film, which is a SiO_2 , SiN , or polyimide film, having a resistance to phosphoric acid is provided on the device side.
3. Only the substrate is immersed to said etchant.

As to forming a via hole:

4. GaN FET electrically connected to a device from the substrate side through a via hole.
5. Etchant for forming a via hole is phosphoric acid or phosphoric acid/sulfuric acid mixed liquid in the temperature of 150 through 450 $^{\circ}\text{C}$.
6. In said etching, a mask film having resistance is composed of the first layer thin film of any of Cr, Ti, or Ni and the second layer thick film of Pt, Pd, or Au.

7. Only the substrate side is immersed to etchant.
8. As a processing method not using a mask (maskless), by selective ablation using infrared rays laser with wavelengths longer than approximately 6 μm , a step having the height of 10 μm or more is formed at the desired location on a substrate, and by using said etchant, etching is performed uniformly, and a via hole is formed at the desired location.
9. Used as a light source is CO_2 pulse laser with the wavelength of 10.6 μm .
10. A single-crystal substrate on which a GaN device is formed is sapphire, spinel, YAP (perovskite yttrium aluminate), or SiC.

Applicable Field:

The present invention relates to a processing method of a substrate on which a compound semiconductor FET is formed. In a nitride device, new techniques regarding methods for thinning a substrate in order to facilitate heat radiation and forming a via hole enabling to reduce the source inductance are provided.

AlGaInN semiconductors containing GaN as the major component are direct transitional semiconductors having energy widths ranging from 1.9 eV to 6.2 eV, and light devices have been placed under active developments in the range from the visible spectrum to the ultraviolet spectrum. Additionally, GaN semiconductors have a large possibility

as material of electron mobility devices. That is, saturation electron velocity of GaN is approximately 2.5×10^7 cm/s, which is larger than those of Si, GaAs or SiC, and its breakdown electric field is as large as 5×10^6 V/cm next to the intensity of diamond. For these natures, GaN semiconductors have been expected to be greatly hopeful as materials of high-frequency, high-power semiconductor devices.

In case of manufacturing a GaN semiconductor transistor, GaN bulk substrate is formed on a single-crystal substrate such as sapphire or SiC by CVD or MBE. Although thermal conductivity of GaN at the room temperature is 1.3 W/cmK and larger than thermal conductivity 0.3 W/cmK of GaAs, thermal conductivity of sapphire at the room temperature is 0.4 W/cmK similarly to that of GaAs. Therefore, when using a sapphire substrate, it has been pointed out that a GaN FET for a high output power was especially bad in heat dissipation (Reference 1: C.E. Weitzel, Inst. Phys. Conf. Ser., No. 142, 765 (1996)). For a high frequency operation, source inductance has to be reduced. Conventionally, electric connection through a via hole in a substrate has been applied to GaAs. However, when using very hard and stable substrates such as sapphire and SiC, an effective method has not been provided.

Related Art:

As basic technologies for realizing a GaAs compound semiconductor FET device for higher operative frequencies and higher output power, there have been techniques for thinning a GaAs substrate and making a via hole. These techniques are summarized below.

(Reference 2: Masumi Fukuda, Fundamentals of GaAs Field Effect Transistors, Denshi Joho Tsushin Gakkai, 1992, P.207; Reference 3: GaAs via hole patent, US 4015278 (1972); Reference 4: Y. Hirachi, Int. Electron Device Meet., Tech. Dig., p676 (1981)).

For thinning a GaAs substrate, first conducted primary lapping using a granular abrasive material of SiC or alumina. Then, by using abrasive grains of a grain size of 1 μm or less of CeO_2 , ZrO_2 , CrO_2 , or the like, the substrate is polished on a soft polisher such as synthetic resin or artificial leather to remove processing strain by lapping. As a result, the remainder depth of the processing strain is reduced to 10 μm or less, but additional processing by wet etching may be applied. Concerning making the via hole, since GaAs is readily dissolved by any of sulfuric acid/hydrogen peroxide solution or alkali solution, wet etching is essentially sufficient for making the via hole. However, since side etching becomes large and it is difficult to control the shape of the via hole, RIE or ion milling is used normally. When using RIE, an etching rate as high as 50 to 100 $\mu\text{m/hr}$ can be obtained, and the via hole can be made easily, by using $\text{CCl}_2\text{F}_2/\text{He}$ as the gas and using SiO_2 or an organic resist

film as the mask. GaAs substrates are readily processed either mechanically or chemically as above described, and have already been realized.

However it is difficult to employ the technique to a GaN electron device. GaN electron devices are made on the sapphire substrate and the SiC substrate. For example, wet etching cannot be applied to the sapphire substrate on which a device is made because wet etching cannot be used without any effective etchant. As to dry etching, its etching rate is as very low as several $\mu\text{m/hr}$ in maximum, and there is no selective mask. Therefore, it is actually impossible to thin the substrate or make the via hole with any of these methods. If the sapphire substrate is forcibly thinned by lapping, it will curve due to a lapping strain (as the device side to be concave), and it will finally break down. As to making the via hole, nothing has been reported.

Subject to be Solved by the Invention:

For thinning a sapphire substrate on which a GaN device has been already formed, there are some problems to solve. One of the problems is to thin the substrate sufficiently, namely to the thickness around $10\ \mu\text{m}$, in the process of thinning the sapphire substrate by using lapping or other method, without damaging the device on the surface of the substrate, while minimizing the processing strain and preventing warpage or breakage of the substrate. Unlike the case using a GaAs substrate, warpage causes difficulties

in subsequent processes unless substantially all of the strain in the thinned substrate is removed finally. Another problem is to find out an optimum processing method for making the via hole. Use of molten coral sand around 900 °C and use of molten phosphoric acid around 400 °C are known as methods for wet etching of sapphire. It is necessary to make reviews to estimate applicability of these methods as a technique for making the via hole, to find out possible materials usable as a mask in the technique, and also to make researches to find out a new simple method replacing the conventional masking method.

That is, it is necessary to find out techniques for thinning the sapphire substrate on which the GaN device has been already formed to the thickness of decades of μm without damaging the device, and making the via hole at the desired location.

Means for Solving the Subject:

When a substrate of a hard material such as sapphire substrate is used, diamond powder is a sole granular abrasive material acceptable for use in lapping. Thickness of the layer changed in quality by lapping processing amounts several times the grain size of the abrasive grains. Therefore, if the substrate should be thinned to the thickness around 20 μm , for example, since the thickness of the sapphire substrate before being thinned is about 400 μm , it is first processed by lapping, using an abrasive liquid

containing diamond granular abrasive material with the grain size of 30 μm , for example. If it is further thinned, then the ratio of the layer changed in quality will increase, and a large strain will invite warpage or breakage of the substrate. Then, by using a diamond granular abrasive material with a grain size of 10 μm , for example, it is processed by lapping to the thickness around 100 μm . As a result, the layer changed in quality made by the preceding lapping can be removed. However, another strained layer of the thickness of decades of μm newly appears. Therefore, by using an abrasive liquid containing a granular abrasive material with a grain size around 1 μm , for example, it is processed by lapping or polishing to the thickness around 40 μm . The strained layer has been fully removed conventionally by mechano-chemical polishing. In case of GaAs substrates, for example, it has been known that the strained layer can be removed by polishing by using hypochlorous acid solution containing micro soft grains. As to sapphire, no polishing by using such a solution has been known. Then, the following method is used. An appropriate amount of sulfuric acid is added to phosphoric acid, and the temperature is held at 280 °C. This liquid has an etching rate around 10 $\mu\text{m/hr}$ for sapphire. High-temperature phosphoric acid has been known to have an etching function of sapphire. It is described in Reference 5: Ceramics Processing Handbook, Kensetsu Sangyo Chosakai (1987), for example. However, direct exposure of a device

to such a high-temperature corrosive solution invites characteristic deterioration of the device and wiring. Therefore, there is the need for a countermeasure to ensure that phosphoric acid never touches the device side. For this purpose, a first effective measure is to bring only the substrate side into contact with the liquid, and a second effective measure is to make a protective film on the device side. Effective as the protective film are oxide or nitride such as CVDSiO_2 having a resistance to phosphoric acid, and heat-resistant polyimide film.

Formakingtheviahole, conventional dry etching cannot be employed. Fig. 1 shows a form after the via hole was formed. On the sapphire substrate which is thinned to the thickness of decades of μm , a two-layered film composed of a thin film of a metal well adhesive to the oxides such as Ni, Cr, Ti, or the like and a metal film resistant to phosphoric acid such as Pt, Au, or the like is locally formed at the location for the via hole by lithography. The substrate is immersed into a phosphoric/sulfuric acid solution held at approximately 280°C , for example. Since the etching rate is approximately $10\ \mu\text{m/hr}$, the etching time is adjusted depending upon the thickness of the substrate. The location where the via hole is formed is a common pad area connected to a source electrode or a source, and the location is removed by etching. There are remained the GaNCVD film with the thickness of decades of μm and the Au pad film. Therefore

GaN is removed by RIE. If Cl_2 gas is used as the etching gas, the etching rate is 5 to 10 $\mu\text{m/hr}$ and the ratio of the etching rate for Au is approximately 3 or more. Therefore, the Au film can be sufficiently maintained even after etching the GaN to a slightly over-etching level, if the Au on the pad originally has the thickness around 1 μm or more. It may occur that the Cr/Pt wet etching mask on the sapphire substrate is removed while the GaN is etched by RIE. However, it is immaterial. The substrate on which the via hole was formed is plated with Cr/Au having the thickness larger than that of the substrate by the already known method. Ni or Cr and Au are stacked by vacuum evaporation, for example, and then a Au film with the thickness of from decades of μm to hundreds of μm , is deposited on the metal layers by plating. The thick Au plate makes electric connection and functions to radiate heat.

As an alternative method for making the via hole, there is a method using a pulse laser beam. Refer to Fig. 2. Al_2O_3 absorbs infrared rays with wavelengths longer than approximately 6 μm . By irradiating a CO_2 laser with the wavelength of 10.6 μm , for example, it is locally heated to a very high temperature to cause ablation of sapphire. This is a technique brought into practical use for scribing alumina substrates. More specifically, by irradiating a single pulse with the peak output of 300 W, pulse width of 200 μs , and beam diameter of approximately 100 μm , for example, a hole of a depth around 200 μm can be made in the alumina

substrate. Therefore, for example, after making a hole with a depth around 50 μm to a desired location of the sapphire substrate with the thickness around 200 μm , by uniformly etching the location to the depth of 150 μm using phosphoric acid/sulfuric acid solution heated to a high temperature, the via hole can be made. This method is a maskless process, and therefore needs much less steps. However, there is a difficulty that the location where the laser is to be irradiated must be decided from the substrate side.

Function:

Heat from a GaN electron device moves to the substrate (single-crystal such as Si, GaAs, or sapphire, for example) due to heat conduction. In case of a high-power device, heat is typically radiated through a metal heat sink. Therefore, it is advantageous that the substrate supporting the device is as thin as possible, and the substrate is thinned to the limit within a range acceptable for mechanical strength. In case of using sapphire, as shown in Fig. 3, it is considered that heat conductivity decreases with increase of temperature and heat radiation becomes difficult as the temperature rises. By thinning of the substrate by the present invention, efficient heat radiation is ensured, and the increase in temperature can be alleviated. The via hole is formed in order to reduce the inductance accompanying to its electrode. This has been already performed in GaAs device. The same effect can be obtained

in the GaN device according to this forming method.

Embodiment:

Embodiment 1: Thinning of a GaN FET/sapphire substrate

Fig. 4, Fig. 5

A device layer composed of GaN FET, a metal wiring, and an inter-layer insulating film is stacked on the sapphire substrate with the thickness of around 400 μm . A heat-resistant polyimide film with the thickness of around 10 μm is spread on the device layer. After that, a Si substrate with the thickness of 250 μm is put on and bonded to polyimide film. Thereafter, a lapping tool is bonded via wax. Thickness of the GaN is approximately 4 μm . Subsequently, lapping is executed in a water solution containing diamond abrasive grains with the grain size of 20 to 40 μm . When the thickness is reduced to approximately around 200 μm , the sample and the lapping platform are washed. After that, lapping is executed to the thickness of 100 μm in a water solution containing diamond abrasive grains with a grain size of 5 to 12 μm . After that, the sample is warmed on a hot plate, the lapping tool is detached, and the wax is removed. Then only the etching surface is immersed into $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$ mixed liquid heated to 285 $^{\circ}\text{C}$. This is performed in the next manner.

$\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$ mixed liquid mixed in the ratio of $\text{H}_3\text{PO}_4:\text{H}_2\text{SO}_4=1:1$ is put into a Pt container in form of a Petri dish on the hot plate. As shown in Fig. 5, the GaN/sapphire

substrate is put on a float cover of a doughnut-shaped Pt plate having an outer diameter slightly smaller than the diameter of the Petri dish and an inner diameter slightly smaller than the diameter of the sapphire substrate, and is set so that the sapphire substrate just contacts the mixed liquid. Thereby, it becomes possible to prevent evaporation of moisture from phosphoric acid and maintain composition of phosphoric acid constant, and also to ensure that only one surface of the sapphire substrate contacts the mixed liquid. Since Si substrate is used for preventing warpage of the thinned substrate after lapping and facilitating handling of the thinned substrate, it is not indispensable.

Embodiment 2: Forming of a via hole and back coating of metal
Fig. 1

The substrate made in Embodiment 1 is used. A resist mask is formed by the usual photolithography, and a Cr with the thickness of 20 nm and a Pt with the thickness of 0.1 μm are sequentially made thereon by vacuum evaporation, and an etching mask is formed by lifting. The substrate is immersed into the phosphoric acid/sulfuric acid liquid heated to 285 °C similarly to the manner in Embodiment 1, for approximately 3 hours to selectively etch the source pad area. Thereafter, the substrate is introduced into a RIE apparatus, and the GaN under the source pad is etched from the sapphire substrate, using Cl_2 gas, and using the

sapphire substrate as a mask. In this case, the etching rate may be approximately 10 $\mu\text{m/hr}$. The GaN can be removed in approximately 25 minutes at this time. After a 20 nm thick Cr and a 5 μm thick Au are stacked by vacuum evaporation, Au with the thickness of 100 μm is plated. Polyimide is removed by using an organic solvent and the device can be made as shown in Fig. 6.

Embodiment 3: Method for forming a via hole; the second; laser pulse method

Fig. 7

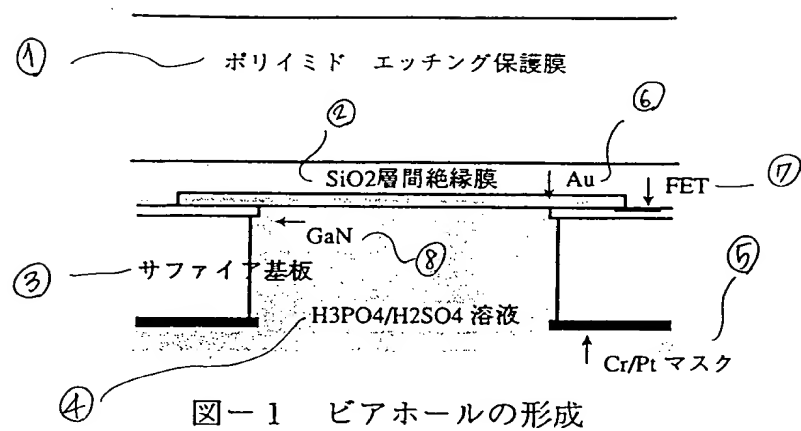
Used is the sapphire substrate thinned to the thickness of around 200 μm in Embodiment 1. A CO_2 pulse laser having the leading output of 150 W, pulse width of 200 μs , the beam diameter of approximately 100 μm , and the wavelength of 10.6 μm is irradiated a single pulse to one point in the region of the source pad in order to make a warhead-like shaped hole with the diameter of around 100 μm and the depth of around 100 μm . Next using a phosphoric acid/sulfuric acid mixed liquid, similarly to the method used in Embodiment 2, the sapphire substrate is processed by non-selective etching. As a result, the sapphire substrate is reduced uniformly. By etching of 10 hours, the sapphire substrate under the source pad is removed, and the via hole is formed. At that time, the sapphire substrate is also etched in the lateral direction. As a result, the diameter of the via hole on the surface of the sapphire substrate becomes larger

than the diameter of the hole initially made. The diameter of the GaN exposed by the etching of the sapphire substrate becomes large with the progress of the etching of the sapphire substrate. Therefore, the diameter of the exposed GaN is determined as desired size by controlling the etching processing conditions. After that, in the same manner as Embodiment 2, the thick film of Au is formed.

Effects:

1. By thinning the substrate, efficient heat radiation to the heat sink is ensured and the increase in temperature of the device can be alleviated. As a result, the increase of gate leak and the decrease of carrier mobility can be prevented, and a high frequency characteristic can be maintained to a high output power.
2. Many devices can be set in per unit area, and output increases.
3. Since the increase in temperature is alleviated, the deterioration of the material composing the device can be alleviated. For example, migration of a metal wiring can be controlled, and the reliance on the inter-layer insulating film can be improved.
4. By forming the via hole, source inductance can be reduced and a high frequency characteristic is improved.

FIG. 1 Forming a via hole



- 1: Polyimide etching protective film
- 2: SiO₂ inter-layer insulating film
- 3: Sapphire substrate
- 4: H₃PO₄/H₂SO₄ solution
- 5: Cr/Pt mask
- 6: Au
- 7: FET
- 8: GaN

FIG. 2 Method for forming a maskless via hole

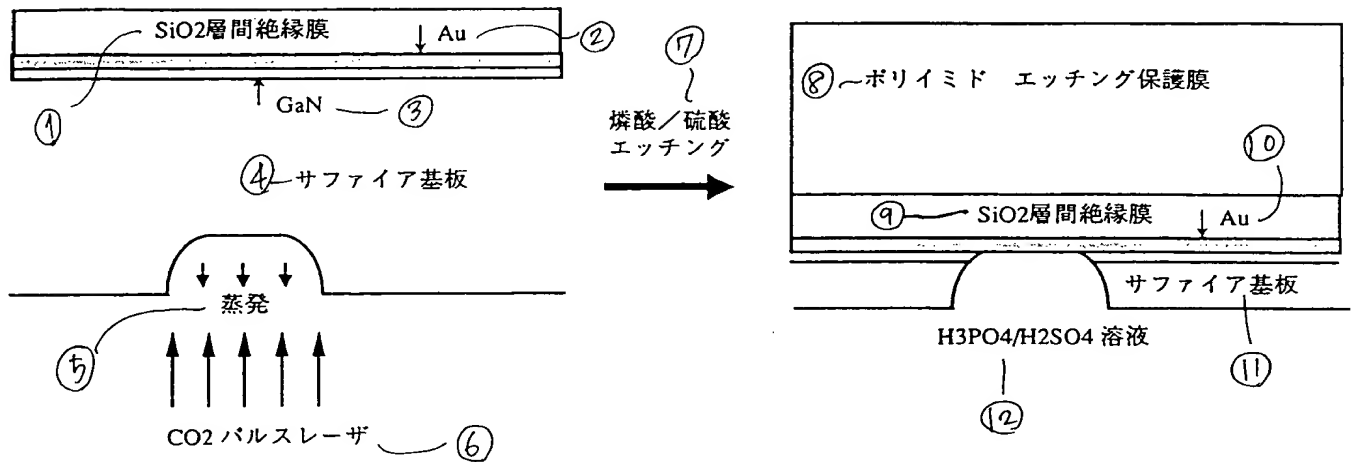


図-2 マスクレス ビアホール形成法

- 1: SiO₂ inter-layer insulating film
- 2: Au
- 3: GaN
- 4: Sapphire substrate
- 5: Evaporation
- 6: CO₂ pulse laser
- 7: Phosphoric acid/sulfuric acid etching
- 8: Polyimide etching protective film
- 9: SiO₂ inter-layer insulating film
- 10: Au
- 11: Sapphire substrate
- 12: H₃PO₄/H₂SO₄ solution

Fig.3 Thermal conductivity of sapphire

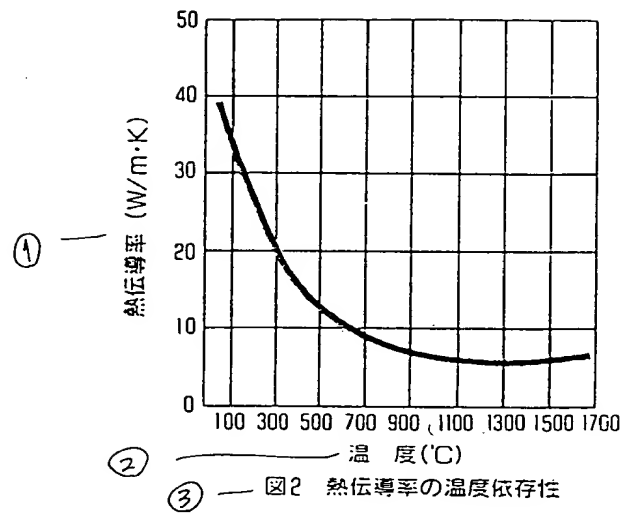


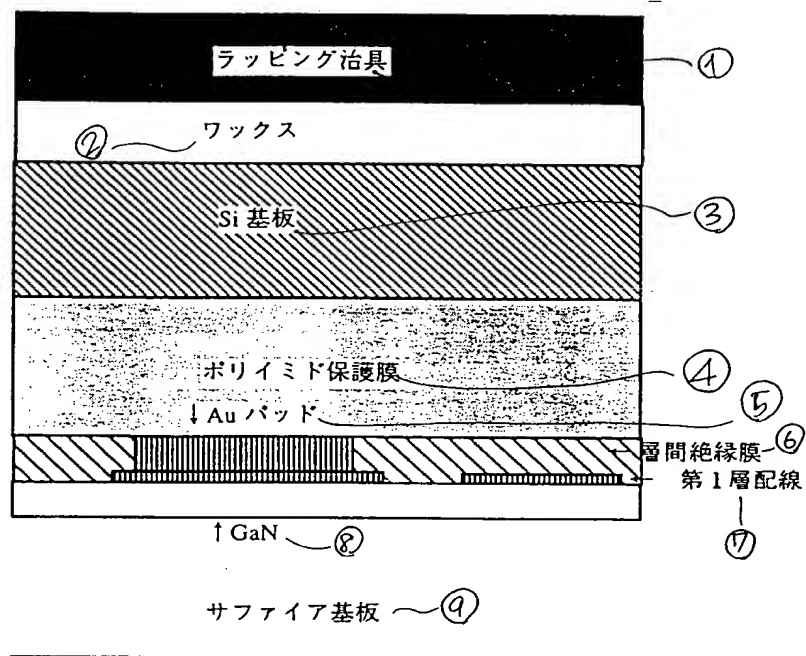
図-3 サファイアの熱伝導度

1: Thermal conductivity (W/m.k)

2: Temperature (°C)

3: Fig. 2 dependency of heat conductivity

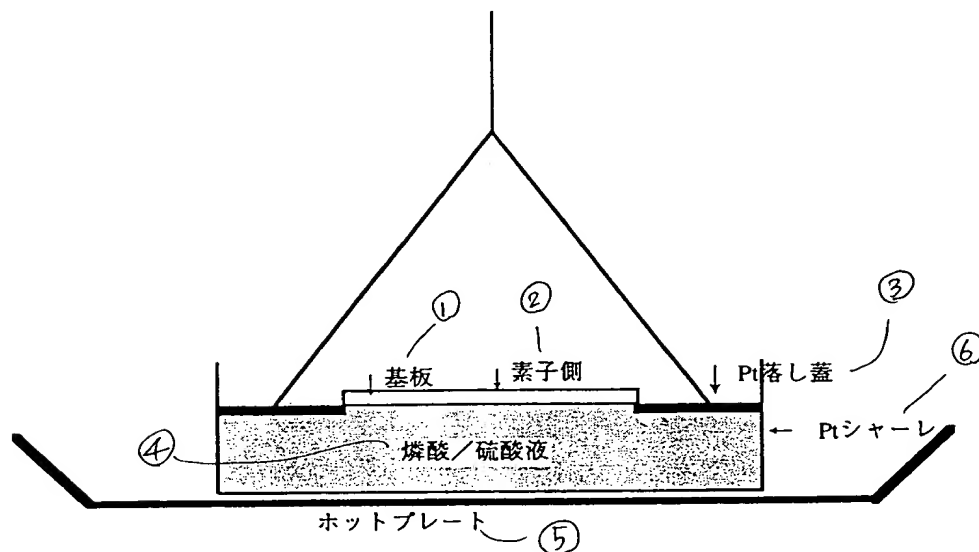
Fig. 4 Embodiment 1 Thinning of a sapphire substrate



図一4 実施例1 サファイア基板の薄化

- 1: Lapping tool
- 2: Wax
- 3: Si substrate
- 4: Polyimide protective film
- 5: Au pad
- 6: Inter-layer insulating film
- 7: The first layer wiring
- 8: GaN
- 9: Sapphire substrate

Fig. 5 Embodiment of the thinning of a sapphire substrate using phosphoric acid/sulfuric acid mixed liquid



図一 5 磷酸/硫酸液によるサファイア基板の薄化の実施例

- 1: Substrate
- 2: Device side
- 3: Pt float cover
- 4: Phosphoric acid/sulfuric acid solution
- 5: Hot plate
- 6: Pt Petri dish

Fig. 6 Form of the device after processing

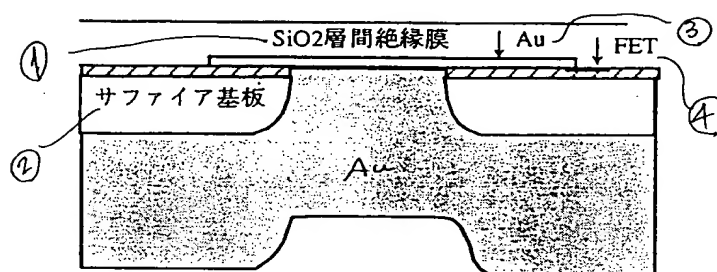


図-6 プロセス後の装置形状

1: SiO₂ inter-layer insulating film

2: Sapphire substrate

3: Au

4: FET

Fig. 7 Embodiment 3 Forming a via hole

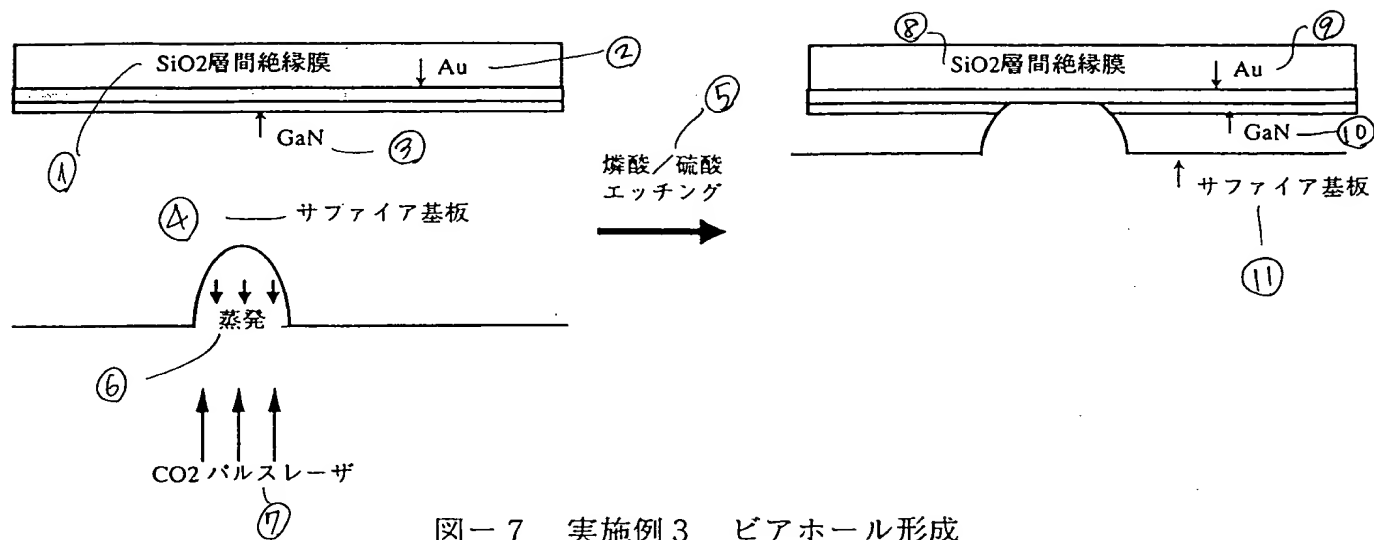
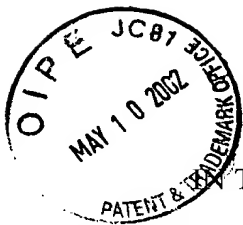


図-7 実施例3 ビアホール形成

- 1: SiO₂ inter-layer insulating film
- 2: Au
- 3: GaN
- 4: Sapphire substrate
- 5: Phosphoric acid/sulfuric acid etching
- 6: Evaporation
- 7: CO₂ pulse laser
- 8: SiO₂ inter-layer insulating film
- 9: Au
- 10: GaN
- 11: Sapphire substrate



THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR: Hiroji KAWAI

ATTORNEY DOCKET NO.: 09792909-4785

SERIAL NO.: 09/768,912 GROUP ART UNIT: 2881

FILED: January 24, 2001 EXAMINER: J. MENEFE

TITLE: "NITRIDE III-V COMPOUND SEMICONDUCTOR DEVICE" (*as amended*)

EXHIBIT C
A PRE-JUNE 16, 1997
JAPANESE LANGUAGE INVENTION REPORT

発明報告書

SONY®

法務・知的財産本部/特許センタ行き

特許センタへは本報告書を1部送付して下さい。

提出日

発明評価チェックシート (標準フォーマットを裏面に添付) も記入願います

発明の名称: 半導体装置とその作製方法 (GaN FET ビアホール形成)

発明の概要:

GaN FET/サファイア基板で、基板の薄化方法と
ビアホール形成方法を提案した。
素子の高周波、高出力特性が向上する。

(140文字程度にまとめて下さい)

発明者とは発明に実質的に寄与した人を指します。当社従業員以外の人が含まれる場合及び他社との共同出願を行う場合にはその旨を記載してください。共同出願の場合には共同出願依頼書も添付して下さい。

TEC 工場名	所属事業部 課名 (外線電話番号) (内線)	従業員番号	職能格	氏名	作成者 に○
	353-6866 9423-4361 (材料・イナフド材料)	092567		河谷弘治	○
	() ()				
	() ()				
	() ()				

プロジェクト名:

製番:

関連資料の有無

発明報告書・論文

公知資料調査

開発状況

- ☐ 案のみ
☐ 実験試作中
☒ 実施予定

機種名:

公表予定

☐ 有 ☐ 無

予定日
19 年 月 日

展示/発売/発表/発注

他 ()

☒ 有 ☐ 無

↓ 登録

(No:)

(No:)

☒ 調査済 ☐ 未調査

↓
☒ PATOLIS ☐ PASCAL ☐ 手持文献

☐ 他 ()

検討した特許・文献 ☐ 有 ☐ 無

No:



上記の項目及び発明内容を確認後、発明の評価及びその根拠等をできるだけ詳しくお書き下さい。

Projリーダー	統括課長	手続き (裏面確認)	外国出願の希望	統括部長	特許担当	特許部門長
		<input checked="" type="checkbox"/> 重点処理 (S) <input type="checkbox"/> 通常処理 (R) <input type="checkbox"/> 特許センター任 (Q) (公開技報/出願)	<input type="checkbox"/> 有 → <input type="checkbox"/> 無 <input checked="" type="checkbox"/> 不明 <input type="checkbox"/> 他社海外実施可能性大 <input type="checkbox"/> 海外販売大 (アクセサリ含) <input type="checkbox"/> 海外生産可能性大 <input type="checkbox"/> 海外製造ライセンスに有用 <input type="checkbox"/> 他 ()			

ご意見
記入欄

早期出願をお願いします。

1996 PJ-0109



特許センタ	担当 Gp	担当者	記載	発明性	手続き	外国出願準備	受付番号	受付者
		S A 36	1 2 3 4	1 2 3 4	<input type="checkbox"/> 重点処理 <input type="checkbox"/> 通常処理 <input type="checkbox"/> 公開技報 <input type="checkbox"/> 出願中止	<input type="checkbox"/> 手配済 <input type="checkbox"/> 手配せず	97014585	

特許センタ
メモ欄

☐ 特許センタ用

☐ 事務所用

☐ 発明者用

☐ OD登録用 1/

発明評価チェックシート

該当する□○にチェック

□ : 統括課長
○ : 発明者

発明の取扱について

事業部門のビジネスを知的財産的立場からこれまで以上に支援するためには発明数の増加が求められております。しかしながら特許出願件数等にも上限があり、発明の重要性に応じた対応を取らざるを得ない状況に至っております。つきましては、下記事項についてご理解、ご協力を賜りますようお願い致します。

- ・発明者の方には、プロジェクトリーダー、統括課長など発明管理の直接の責任者と発明評価フローに基づいて発明評価をお願い致します。公知技術との差別化もご検討下さい。
- ・特許部門長には、発明評価ランクSの比率が特許部門と特許センタとの協議に基づく設定比率を越えないよう定期的な確認、指導をお願い致します。
- ・特許センタでは、事業部門の発明評価を尊重し重要発明を中心に出願手続きを行います。

発明評価ランク

出願	S	権利積極活用目的出願
	R	自社商品保護、特許網構築
	Q	発明取扱権限一任案件

S: 重点処理案件

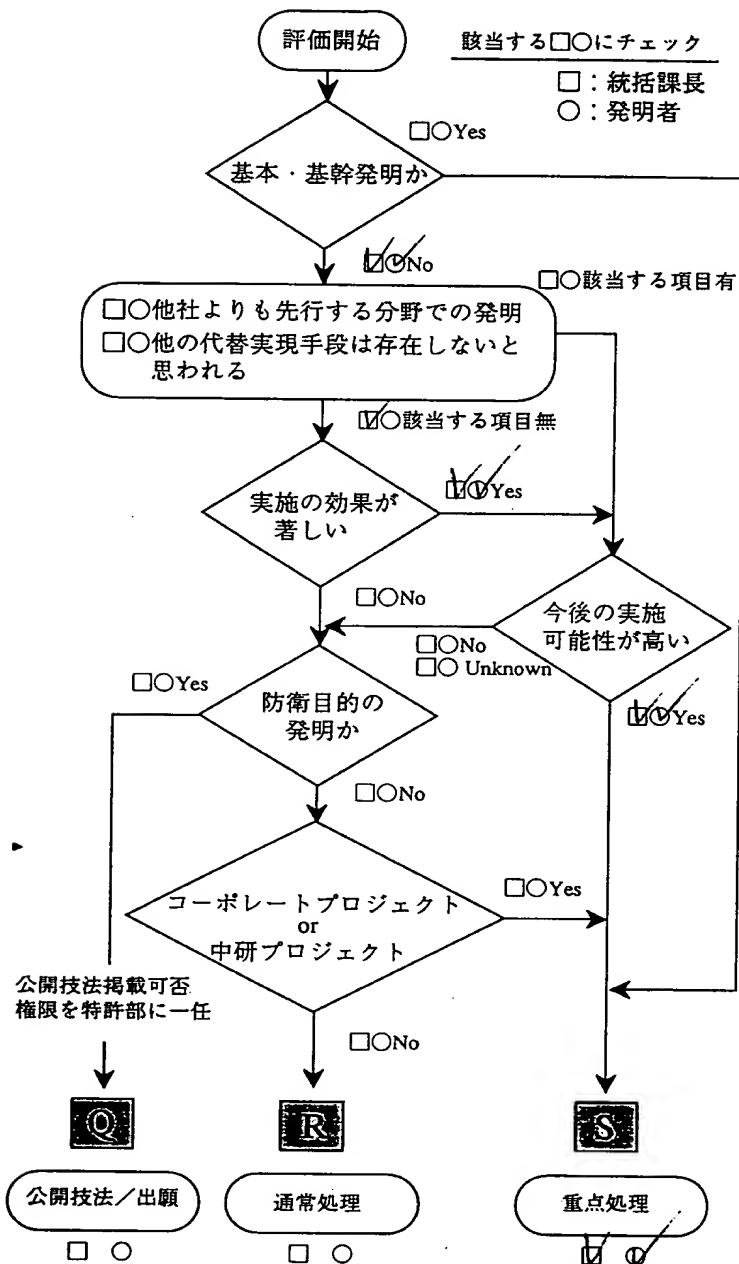
- ・弁理士との打合せを充分に行い、有用な権利が取得できるよう特許専門的立場から発明開示内容、クレーム作成に助言させて頂きます。
- ・国内外で将来有用な権利を取得するために、発明者には開示内容が充分な発明報告書の作成及び公知資料との差別化をご検討願います。

R: 通常処理案件

- ・原則的には、発明者と弁理士との打合せに基づき、又は発明報告書に記載の範囲内で打合せなしに出願処理を行います。
- ・打ち合わせを行わない場合、発明者には特許庁提出前に明細書の内容を確認願います。
- ・発明報告書の記載内容、公知技術との差別化が重要になります。

Q: 発明取扱権限一任案件

- ・公開技術掲載可否権限を特許センタに一任。



上司コメント欄

GAN 系高周波FETの要素技術として重要と考えられる。

発明評価のキープポイント

発明の種類

- ・基本、基幹発明: 同一の効果が得られる他発明についても検討・出願要
- ・基本発明: 新しい原理に基づく発明
- ・基幹発明: 重要技術に関する発明

代替実現手段

- ・技術先行発明: 他社の追随に対し特許優位性が確保でき活用価値大
- ・同程度のコストでの代替実現手段がなければ発明価値大

実施可能性

- ・発明の大小に関係なく実施があれば価値大。 他社での実施は特に重要

発明の名称：半導体装置とその作製方法 ---- GaN FETの基板薄化方法とビアホール形成法

請求範囲：

異種の単結晶基板上に形成されたGaN系半導体装置において、

10 $\mu\text{m/hr}$

1. ~~ダイヤモンド~~砥粒研磨材を含む水溶液で、砥粒のサイズを段階的に小さくしながら、約100 μm 以下までラッピングを行ったのち、150～450℃の燐酸または燐酸／硫酸溶液によるエッチングにより、ラッピング歪を取り除くこと。

2. 素子側に^(H_2SO_4 耐性)保護膜を施し、その保護膜は SiO_2 , SiN またはポリイミド膜とする。

3. 基板のみ上記エッチング液に浸すこと。 (GaN)

ビアホール形成に関して、

4. 基板側からビアホールを通じて、素子と電気接続がなされているGaN FET

5. ビアホール形成エッチング液は150-450℃の燐酸または燐酸／硫酸混合液

6. 上記エッチングにおいて、耐性を有するマスク膜として、Cr, Ti, Ni のいずれかの第1層薄膜とPt, Pd, Au の厚膜の第2層膜の構成とする。

7. 基板側のみエッチング液に浸す。

8. マスクを用いない（マスクレス）加工方法として、

波長6 μm 以上の赤外線レーザーによる選択アブレーションで、基板の目的とする場所に10 μm 以上の段差を形成し、上記エッチング液により、一様エッチングを行い、目的とする場所にビアホールを形成する。

9. 光源としては CO_2 , パルスレーザー、波長=10.6 μm

10. ここで、GaN素子が形成される単結晶基板とはサファイア、スピネル、YAP(ペロブスカイト系イットリウムアルミネート)、 SiC である。

産業上の利用分野：

この発明は化合物半導体FETが形成されている基板の加工方法に関するものである。ナイトライド系素子において、熱放出を容易ならしめるための基板の薄化と、ソースのインダクタンスを減少させるビアホールの形成方法とに関して新しい技術を提供する。

GaNを主成分としたAlGaInN系半導体は直接遷移半導体であり、そのエネルギー幅は1.9~6.2eVに亘り、可視領域から紫外線領域に及ぶ光素子への開発が進められている。また、電子走行素子の材料としても大きな可能性を有している。すなわち、GaNの飽和電子速度は約 2.5×10^7 cm/sとSi, GaAsまたはSiCに比べて大きく、また破壊電界は 5×10^6 V/cmとダイヤモンドに次ぐ大きさを持っている。このような理由により、GaN系は高周波、大電力用半導体の材料として大きな可能性を持つことが予想されてきた。

GaN系半導体トランジスタをつくる場合には、GaNのバルク基板はサファイアやSiCなどの単結晶基板上にCVD法やMBE法によって形成されている。GaNの熱伝導度は室温で1.3 W/cmKと、GaAsの0.3 W/cmKより大きいものの、サファイアの熱伝導度は室温で0.4 W/cmKとGaAs並みであり、サファイア基板を用いる場合、高出力用としては熱放出の観点からGaN FETの特性劣化が指摘されている(文献1: C. E. Weitzel, Inst. Phys. Conf. Ser., No.142, 765(1996))。また、高周波動作においては、ソースインダクタンスの低減が必要となるが、従来、GaAs系では基板の貫通穴(ビアホール)を通じた電気接続が適用されている。ところが、サファイアやSiCはなどの極めて固く、安定な基板では有効な方法が提案されていなかった。

従来技術:

実用化されているGaAs系化合物半導体FET素子の高周波、高出力化のための基礎技術として、GaAs基板の薄化とビアホールとがある。この技術の概略を示すと以下のようである。

(文献2: 福田益美、GaAs電界効果トランジスタの基礎、電子情報通信学会、平4、p207、

文献3: GaAs ビアホールpatent, US 4015278(1972)、

文献4: Y.Hirachi, Int. Electron Device Meet., Tech. Dig., p676(1981))。

まず、GaAs基板の薄化にはSiCやアルミナ砥粒研磨材により一次ラッピングを行い、次にCeO₂やZrO₂, CrO₂などの1μm径以下の砥粒を合成樹脂や人工皮革などの軟質ポリリッシャ上でポリッシングを行い、ラッピングの加工歪を取り除く。これだけで残りの加工歪は10μm以下となるが、ウエットエッチングにより追加加工がなされることもある。ビアホール形成に関しては、GaAsは硫酸/過酸化水素溶液、またはアルカリ溶液のどちらでも容易に溶解されるので、基本的にはウエットエッチングだけでもビアホール形成が可能であるが、サイドエッチングが大きく、穴の形状制御が困難なため、RIEやイオンミリングなどが用いられる。RIEを用いるとき、ガスとしてCCl₂F₂/Heを用い、マスクにはSiO₂または有機レジスト膜を用い、50~100μm/hrの高速エッチングレートが得られ、難なくビアホールが作製される。GaAs基板は上記のように機械的にも、化学的にも加工が容易であり、すでに実用化されている。

さて、これらの技術をGaN系電子素子に応用しようとするのは困難である。GaN電子素子は現在、サファイア基板やSiC基板上に作製されており、例えば、デバイスが作製されたサファイア基板は、上述のような有効な水溶液エッチングはエッチング液がなく、

不可能であり、ドライエッチングでは、エッチング速度は高々数 $\mu\text{m/hr}$ と非常に小さく、しかも、選択性を有するマスクがなく、上述の技術では薄化もビアホールも事実上不可能である。従って、例えば、サファイア基板を無理やりラッピングで薄化すると、ラッピング歪により、基板自身が（デバイス側を凹として）大きく反ってしまい、遂には破壊に至ってしまう。またビアホールの形成については全く報告されていない。

発明が解決しようとする課題：

すでにGaN素子が作製されているサファイア基板を薄化するにあたって、解決すべき問題点がある。その第一は、ラッピングなどの手段を用いて薄化していく過程で、表面側の素子に損傷を与えずに、加工歪を最小限に抑えて、反りや破損を防ぎ、約 $10\mu\text{m}$ 程度まで薄化することである。また、GaAs基板と異なり、最終的には薄化した基板の歪を殆ど取り除かないと、反りによって後の工程に支障がでる。第二に、ビアホール形成に最適な加工方法を見い出すことである。サファイアのウェットエッチングには 900°C 程度の溶融硼砂法や 400°C 程度の溶融磷酸法が知られている。これらの方法がビアホール作製のための技術として適用可能であるかどうか、調べる。また、そのときのマスク材料としてどのようなものが可能であるかである。次に、そのような、従来のマスク法に代わる新しい簡単な方法があるかどうか検討することである。

まとめると、既に、GaN素子が作製されているサファイア基板を、素子に損傷を与えずに数 $10\mu\text{m}$ まで薄化し、かつ、所望の場所にビアホールを形成する技術を見い出すことである。

課題を解決するための手段：

サファイア基板のように固い材料の場合、ラッピング砥粒研磨材としては、ダイヤモンド粉しかない。ラッピングによる加工変質層は砥粒径の数倍程度はある。従って、例えば、 $20\mu\text{m}$ まで薄化するとすると、薄化前のサファイア基板の厚みは約 $400\mu\text{m}$ 前後であるので、まず、例えば、 $30\mu\text{m}$ 径のダイヤモンド砥粒研磨材液を用いて、約 $200\mu\text{m}$ 厚までラッピングする。これ以上薄化すると、残りの基板の変質層の割合が大きく、大きな歪のため反りや破壊を招く。次に、例えば、ダイヤモンド砥粒を $10\mu\text{m}$ とし、 $100\mu\text{m}$ 厚までラッピングする。これにより前回発生した変質層は取り除けたが、新たに数 $10\mu\text{m}$ の歪層が発生する。従って、例えば、径約 $1\mu\text{m}$ の砥粒研磨溶液を用いて、 $40\mu\text{m}$ 程度までラッピングまたはポリッシングを行う。従来はメカノケミカルポリッシュ技術により、歪層は完全に取り除けていた。例えば、GaAs系では極微軟質粒子を含む次亜塩素酸溶液中のポリッシングにより取り除けることが知られている。サファイアはこのような水溶液中でのポリッシングは知られていない。そこで、次の手段が用いられる。磷酸に適量の硫酸が混合され、温度を 280°C とする。この液はサファイアに対し、約 $10\mu\text{m/hr}$ 程度のエッチング速度をもつ。この高温磷酸のサファイアエッチング作用は既知の知識である。例えば、文献5：“セラミック加工ハンドブック”、(株)建設産業調査会(1987)に記述されている。さて、このような高温腐食性溶液に素子が直接曝されることは素子や配線など

の特性劣化を引き起こす。従って、第1に素子側に燐酸が接触しない工夫が必要となる。そのために、基板側のみ液に接触させることが有効であり、次には、素子側に保護膜を施すことである。保護膜としては、CVD SiO₂等、燐酸に対し、耐性を有する酸化物や窒化物または耐熱性ポリイミド膜が有効である。

ビアホール形成手段として、

従来のドライエッチングは採用できない。図-1にビアホール形成後の形態を示す。数10μmまで薄化されたサファイア基板上に、まずNiやCr, Tiなどの酸化物に対して密着性のよい金属薄膜とPtやAuなどの燐酸耐食性金属膜の二重積層膜をリソグラフィ手法により、ビアホール形成場所以外の部分に形成し、280℃程度の燐酸/硫酸溶液に浸す。エッチング速度は概略10μm/hrであるので、基板厚みに応じてエッチング時間が考慮される。ビアホール形成場所としては、ソース電極またはソースに接続された共通パッド領域であり、その部分をエッチングして基板を取り除いてしまう。そこには、数μmのGaN CVD膜とAuパッド膜が残されている。そこで、GaNをRIEにて取り除く。Cl₂ガスを用いると、エッチング速度は5~10μm/hrで、Auとのエッチレート比は約3以上であるので、パッド上のAuの厚みが1μm以上あればGaNをオーバーエッチ気味にエッチングしても、Au膜は十分に残すことができる。サファイア基板上の、例えば、Cr/PtウェットエッチングマスクはGaNのRIEで取り除かれてしまうこともあるが、問題はない。さて、このようにビアホールが形成された基板は、その後、その基板厚み以上のCr/Auを既知の方法でプレーティングする。たとえば、NiまたはCrおよびAuを蒸着し、メッキ法などで、数10μmから数100μm厚みのAuを堆積させる。この厚いAuプレートにより、電気接触と放熱とがなされる。

さて、ビアホールを形成する別の手段として、パルスレーザ法を提案する。図-2を参照。Al₂O₃は約6μm以降の赤外線を吸収する。波長10.6μmのCO₂レーザをサファイアに照射することによって、局部的に超高温にして、サファイアを蒸発（アブレーション）させることができる。この技術は、事実、アルミナ基板のスクライビングに実用化されている技術である。例えば、ピーク出力300W, パルス幅200us, 直径約100μmの1パルスの照射により、アルミナに深さ約200μmの穴を形成させることができる。従って、例えば厚み200μm程度の上記サファイア基板の所望の場所に、例えば50μm深さ程度の穴を形成したのち、高温燐酸/硫酸液により、150μmの一樣エッチングを施すことによりビアホールを形成することができる。この方法はマスクレスプロセスであり、工程数は非常に少ない。しかし、基板側からレーザ照射位置を決めていかなければならない難しさがある。

作用：

GaN電子素子からの発熱は基板（例えば、Si, やGaAs, サファイアなどの単結晶）に熱伝導で移動し、高出力素子の場合、通常金属ヒートシンクを通じて放熱される。素子が載っている基板は、従って薄ければ薄いほど有利であり、機械的強度に耐える範囲内で極限まで薄化される。サファイアの場合、図-3に示すように、温度に対して大きな負の傾きを有しており、温度上昇により、熱は更に放散されにくくなる、という悪循環が懸念さ

れる。本発明の基板の薄化により効率的な熱放散が可能となり、温度上昇が抑制される。次に、ビアホール形成は、その電極に付随するインダクタンスの低減化のためである。これは、すでにGaAs素子において実施されており、今回のGaN素子においても、本提案の形成方法によって、同様な効果が得られる。

実施形態：

実施例 1：GaN FET／サファイア基板の薄化 → 図-4、図-5

約400um厚みのサファイア基板にGaN FETと金属配線と層間絶縁膜で構成された素子層の上に、耐熱性ポリイミド膜を約10um塗布する。その上に約250um厚みのSi基板を置き、ポリイミド膜と接着させる。この上にラッピング用治具を、ワックスを介して接着される。GaNの厚みは約^A5umである。次に、粒径20~40umのダイヤモンド粉を含む水溶液中にてラッピングを行う。厚み約200umに達したとき、試料およびラッピング台を洗浄し、粒径5~12umのダイヤモンド水溶液にて、100umまで、ラッピングする。次に、試料をホットプレートで温め、ラッピング治具を外し、ワックスを取り除き、285℃のH₃PO₄/H₂SO₄混合液にエッチング面のみ浸す。この方法は次の様にして行った。

ホットプレート上にシャーレ状のPt容器にH₃PO₄/H₂SO₄=1:1液を入れ、図-5のような外径がシャーレの直径より少し小さく、内径がサファイア基板より少し小さいドーナツ状のPt板の落とし蓋の上に、GaN／サファイア基板をセットし、サファイア基板が丁度、液に接するように設定する。このようにすると、燐酸からの水分の蒸発を防ぎ、燐酸の組成が一定となり、かつ、サファイア基板の一面のみ、液と接することができる。Si基板はラッピング後に薄化した基板が反るのを防いだり、また、薄化した基板の取り扱いを容易にするためであり、必ずしも必須であるものではない。

実施例 2：ビアホール形成と金属のバックコート → 図-1

実施例 1 で作製された基板を用い/hrであり、通常のフォトリソグラフィにより、レジストマスクを形成し、Crを20nm, Ptを0.1um蒸着し、リフトオフ法によりエッチングマスクを形成する。実施例 1 と同じ手法により、285℃の燐酸／硫酸液に約3時間浸し、ソースパッド領域のみ選択エッチングした。次に、これをRIE装置に導入し、C₂F₄ガスにより、サファイア基板側からサファイア基板をマスクとして、ソースパッドの下のGaNをエッチングする。エッチング速度は約10um/hrであり、今回は約25分程度でGaNが取り除かれた。次に、蒸着機により、再度Crを20nm, Auを5um蒸着下後、メッキ法にて約100um Auをメッキした。ポリイミドを有機溶剤にて取り除くと、図-6のように、素子ができ上がる。

実施例：3 ビアホール形成法、その2；レーザパルス法 → 図-7

実施例 1 の資料でサファイア厚みが約200umになったものを使用する。先頭出力150W, パルス幅200us, ビーム径約100um, 波長10.6umのCO₂パルスレーザを、ソースパッド領域の一地点につき1パルス照射し、表面の径約100um, 深さ約100umの弾頭型の窪みを形成する。次に、実施例 2 と同様の方法によって、燐酸／硫酸液により無選択エッチングを

行う。サファイアは一様に減少し、約10時間で、ソースパッド下のサファイアは無くなり、ビアホールが形成される。このとき、サファイアは横方法にもエッチングされ、サファイア表面の径は初期の窪み径よりも大きくなる。サファイアのエッチングにより露出したGaN表面の径は、サファイアのエッチングの進行によって拡大するので、プロセス条件の整備によって、所望の大きさに規定する。この後のプロセスは実施例2と同じ方法によって、Auの厚膜を形成する。

効果：

1. 基板の薄化により、ヒートシンクへの熱放散がよくなり、デバイスの温度上昇が緩和される。その結果、ゲートリークが増加しない、また、キャリアの移動度が減少しない、などにより、高周波特性が高出力時まで、維持される。
2. 単位面積当り多くの素子を設置することができ、出力が増大する。
3. 温度上昇が緩和されるので、素子を構成している材料の劣化が緩和される。たとえば、配線金属のマイグレーションの抑制、層間絶縁膜の信頼性の向上。
4. ビアホールの形成により、ソースインダクタンスが減少し、高周波特性が向上する。

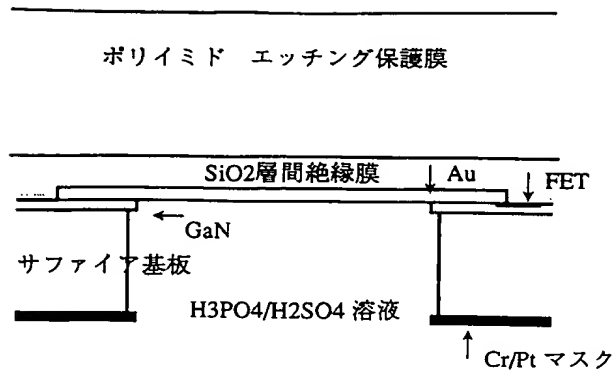


図-1 ビアホールの形成

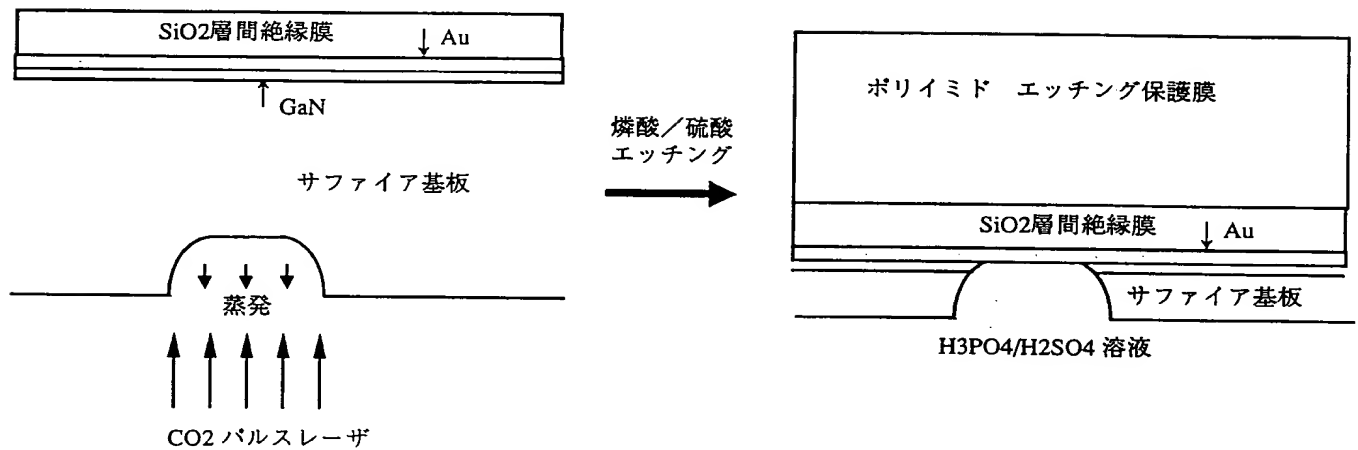


図-2 マスクレス ビアホール形成法

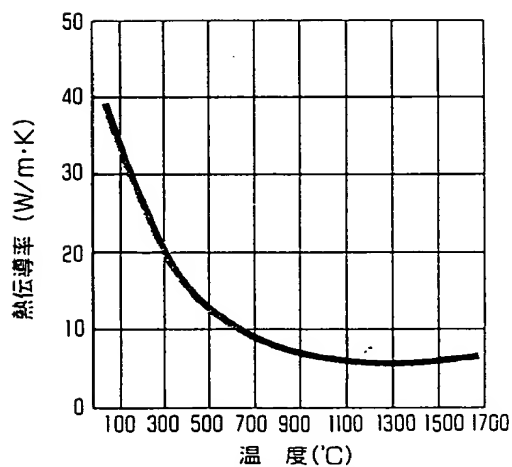


図2 熱伝導率の温度依存性

図-3 サファイアの熱伝導度

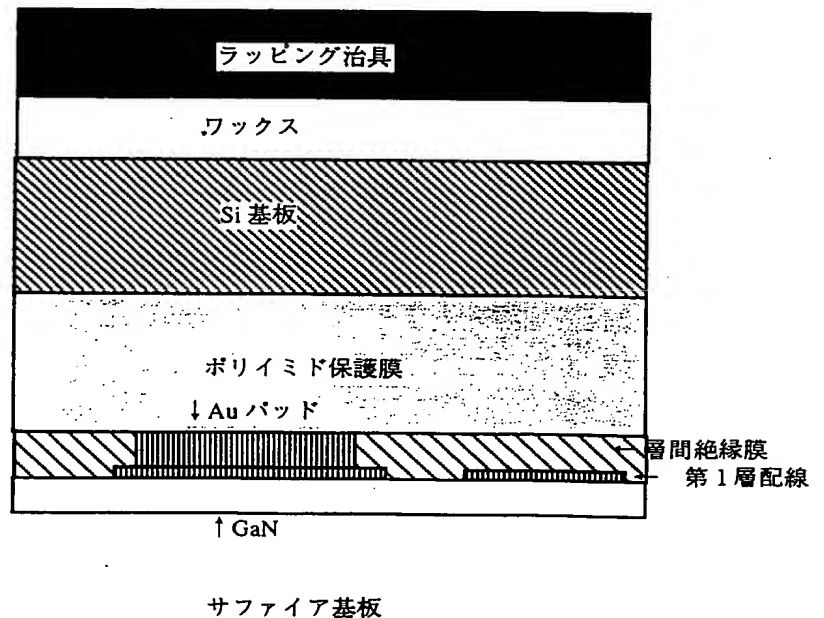
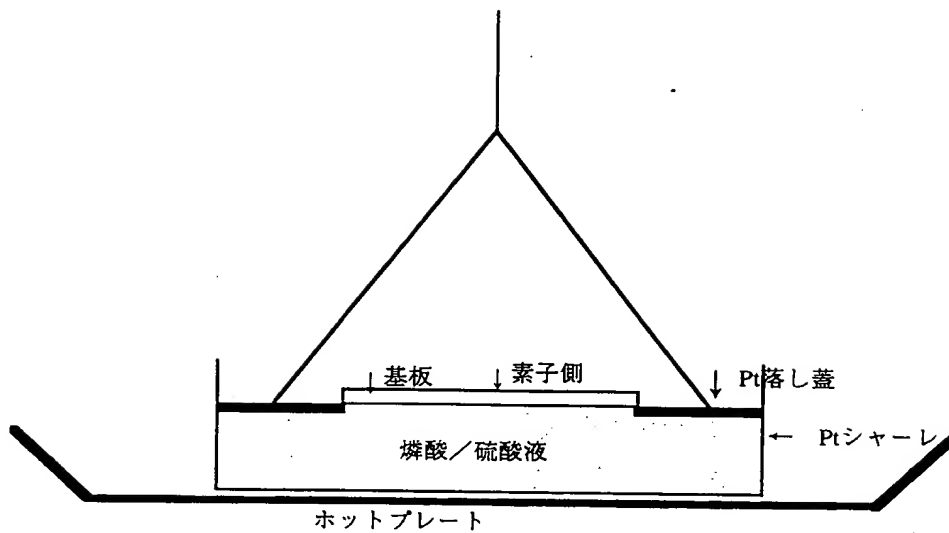
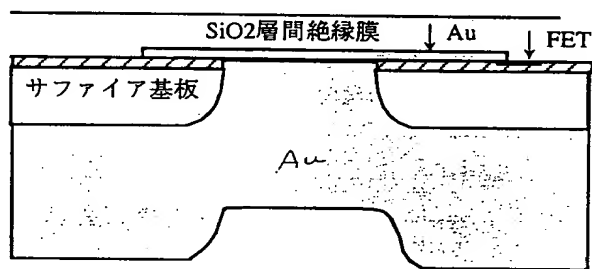


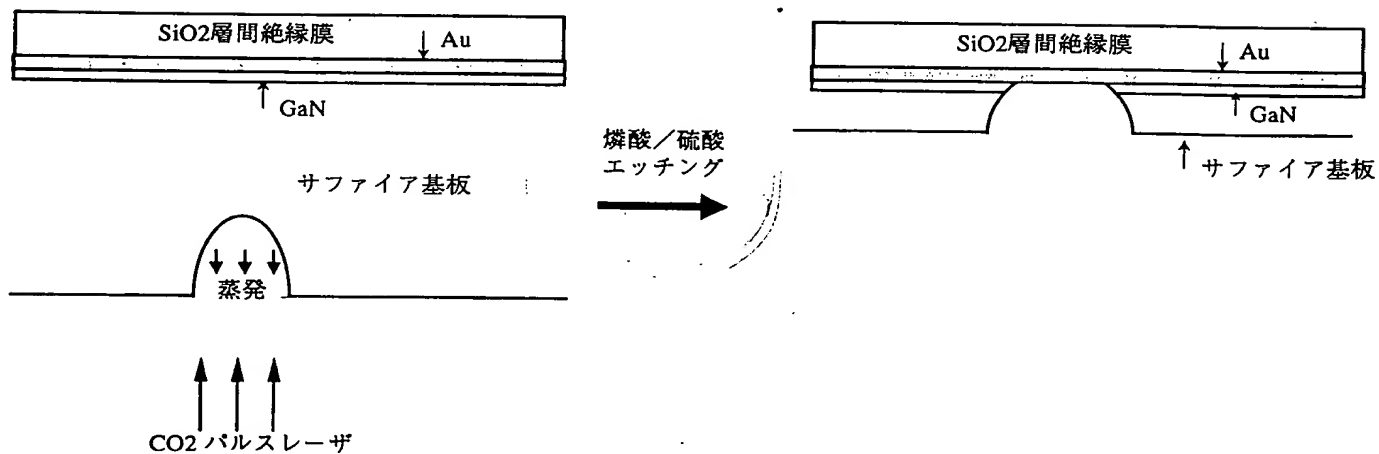
図-4 実施例1 サファイア基板の薄化



図ー5 磷酸/硫酸液によるサファイア基板の薄化の実施例



図ー6 プロセス後の装置形状



図ー7 実施例3 ビアホール形成